



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    1 月 2 9 日  
Date of Application:

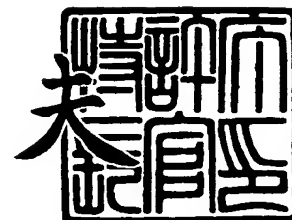
出 願 番 号                      特 願 2 0 0 3 - 0 2 0 6 5 1  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 2 0 6 5 1 ]

出      願      人                      三 菱 電 機 株 式 有 限 公 司  
Applicant(s):                      有 馬    裕

2 0 0 3 年 1 0 月 2 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 8 8 6 4 2



【書類名】 特許願

【整理番号】 543825JP01

【提出日】 平成15年 1月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8234  
H01L 27/088  
H03K 19/00

【発明者】

    【住所又は居所】 福岡県飯塚市大字伊岐須 1 番地の 4

    【氏名】 有馬 裕

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【特許出願人】

    【住所又は居所】 福岡県飯塚市大字伊岐須 1 番地の 4

    【氏名又は名称】 有馬 裕

【代理人】

    【識別番号】 100089118

    【弁理士】

    【氏名又は名称】 酒井 宏明

【手数料の表示】

    【予納台帳番号】 036711

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体素子

【特許請求の範囲】

【請求項 1】 電界効果型トランジスタにおけるゲート領域と同一のゲート層で構成される制御ゲート領域を備える半導体素子であって、

前記制御ゲート領域は、前記ゲート領域のゲート長方向両端側に、それぞれ所定間隔の拡散領域を置いてゲート幅方向に並行して配置され、かつそれぞれ前記ゲート幅の同じ片端側に、または、互いに異なる片端側に所定間隔の欠落部が設けられている、

ことを特徴とする半導体素子。

【請求項 2】 電界効果型トランジスタにおけるゲート領域と同一のゲート層で構成される制御ゲート領域を備える半導体素子であって、

前記制御ゲート領域は、前記ゲート領域のゲート長方向片端側に、所定間隔の拡散領域を置いてゲート幅方向に並行して配置され、かつ前記ゲート幅の片端側に所定間隔の欠落部が設けられている、

ことを特徴とする半導体素子。

【請求項 3】 電界効果型トランジスタにおけるゲート領域と同一のゲート層で構成される制御ゲート領域を備える半導体素子であって、

前記制御ゲート領域は、前記ゲート領域のゲート長方向両端側に、それぞれ所定間隔の拡散領域を置いてゲート幅方向に並行して配置され、かつそれぞれ前記ゲート幅のほぼ中央部に対応する位置に所定間隔の欠落部が設けられている、

ことを特徴とする半導体素子。

【請求項 4】 電界効果型トランジスタにおけるゲート領域と同一のゲート層で構成される制御ゲート領域を備える半導体素子であって、

前記制御ゲート領域は、前記ゲート領域のゲート長方向片端側に、所定間隔の拡散領域を置いてゲート幅方向に並行して配置され、かつ前記ゲート幅のほぼ中央部に対応する位置に所定間隔の欠落部が設けられている、

ことを特徴とする半導体素子。

【請求項 5】 前記拡散領域は、ソース領域およびドレイン領域と同型の不

純物拡散領域であって、その不純物濃度が前記ソース領域およびドレイン領域の不純物濃度よりも低い値になっている、

ことを特徴とする請求項 1～4 のいずれか一つに記載の半導体素子。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

この発明は、電界効果型トランジスタの利得係数を変調できるようにした半導体素子に係り、特に将来の大規模・高集積の半導体集積回路（LSI）デバイスにおいて、LSI 製造後にチップ個々の最適化によって LSI の高性能化を実現する自己最適化型 LSI や自己適応型 LSI などの新しいタイプの LSI デバイスを実現するための基本素子となる半導体素子に関するものである。

##### 【0002】

#### 【従来の技術】

最近の LSI デバイスは、素子微細化の進展に伴い益々大規模高集積化が進み、システムオンチップ化が現実のものとなり、チップ内部に多種多様な機能回路を多数集積することが不可欠となってきた。そのような大規模 LSI デバイスの設計では、集積された多数の機能回路をそれぞれ正しく動作させるために、機能回路間の動作タイミングなどを最適化調整することが特に重要である。

##### 【0003】

一方、LSI デバイスは、発明以来約 30 年以上に渡り、主に素子の微細化によって性能を高めてきたが、素子微細化において様々な物理的限界が顕在化してきた昨今では、集積回路素子を安定・均質に製造することが極めて困難になりつつある。

##### 【0004】

その結果、LSI デバイスの設計では、LSI の製造過程で避けることのできないプロセス変動をカバーするために動作マージンを確保する措置が必要である。そして、この動作マージンを確保する措置が、LSI デバイスに集積する機能の多様化・大規模化に伴って、大規模 LSI デバイスの更なる高性能化を阻むようになってきた。

**【0005】**

このように、将来のLSIデバイスでは、チップ内素子特性のバラツキ（分布）やプロセス変動による素子特性の中央値変動（シフト）のような、LSIチップ毎に個性をもった素子特性の不均一性と、それに伴うLSI物理設計（性能最適化設計）の困難性とは顕在化してきているので、素子の微細化だけに頼ったLSIデバイスの高性能化手法は、限界に近づきつつある。

**【0006】**

したがって、今後、LSIデバイスの高性能化を推進するためには、ある程度大きな素子特性バラツキを前提とした新たなLSI設計・製造手法の確立が不可欠となる。ある程度大きな素子特性バラツキを前提としたLSI設計・製造に関する一つのアプローチとして、LSIチップ自身に自己調整機能を内蔵する方法が考えられる。

**【0007】**

具体的には、従来のLSI設計最終段階（物理設計）で行っていた個々の電界効果型トランジスタ（以下「MOSトランジスタ」という）のサイズ（ゲート長とゲート幅）設定に基づく電気特性調整を、LSI製造後にチップ毎にチップ自身が自動的に実施できるようにすることにより、LSIチップ内の個々のMOSトランジスタの電気特性を最適化しチップ性能を高める手法である。

**【0008】**

LSIチップ自身で自己調整機能を実現するためには、プログラムや電氣的ダイナミックスによって自動的に電気特性が調整できる仕組みをLSIチップに内蔵する必要がある。したがって、当該手法実現のためには、少なくとも、電気特性を電氣的に変調する何らかの手段が必要不可欠であり、その技術開発が自己調整機能実現の鍵となる。

**【0009】**

以下、従来技術を用いて実現できる電気特性の電氣的変調方法について説明する。従来技術では、電気特性を電氣的に変調する場合、主に、回路構成による方法と、素子自体の特性を変調する方法とが採用できる。

**【0010】**

(I) 回路構成による方法としては、例えば、(I a) ~ (I d) に示すように複数の MOS トランジスタを使い、その並列接続数等を電氣的スイッチで切り替える回路構成とする方法が考えられる。これによれば、回路全体を一つの MOS トランジスタとみなした場合の実効的電気特性（利得係数）を変調することができる。しかし、この回路的に実現する方法では、以下に説明するように、調整精度と回路規模の点から極めて非効率である。

#### 【0011】

(I a) 2つの MOS トランジスタを並列に接続し、一方の MOS トランジスタのゲート電極には、通常の信号電圧を与え、他方の MOS トランジスタのゲート電極には、スイッチによって信号電圧と OFF 動作させる OFF 電圧とを切り替えて与える構成を考える。

#### 【0012】

この構成によれば、スイッチが他方の MOS トランジスタのゲート電極に信号電圧を接続した状態では、この回路は、並列に接続された 2 つの MOS トランジスタが 1 つの MOS トランジスタとして働く。また、スイッチが他方の MOS トランジスタのゲート電極に OFF 電圧を接続した状態では、この回路は、一方の MOS トランジスタのみが働く。これによって、MOS トランジスタの実質的な利得係数を変調することができる。

#### 【0013】

(I b) 5つの MOS トランジスタを並列に接続し、1つの MOS トランジスタのゲート電極には、通常の信号電圧を与え、残り 4 個の MOS トランジスタのゲート電極には、それぞれ、スイッチによって信号電圧と OFF 電圧とを切り替えて与える構成を考える。

#### 【0014】

この構成によれば、4つのスイッチの状態によって、16通りのバリエーションを実現することができる。すなわち、4つの MOS トランジスタの利得係数を各々 2 のべき乗倍に設定することによって、16段階の係数値を等間隔にすることができる。

#### 【0015】

(I c) 2つのMOSトランジスタを直列に接続し、一方のMOSトランジスタのゲート電極には、通常の信号電圧を与え、他方のMOSトランジスタのゲート電極には、スイッチによって信号電圧とON動作させるON電圧とを切り替えて与える構成を考える。

#### 【0016】

この構成によれば、スイッチが他方のMOSトランジスタのゲート電極に信号電圧を接続した状態では、この回路は、2つのMOSトランジスタが直列に接続され、同一の動作を行うので、通常の1個のMOSトランジスタとして働く。また、スイッチが他方のMOSトランジスタのゲート電極にON電圧を接続した状態では、この回路は、一方のMOSトランジスタに他方のMOSトランジスタのON抵抗が直列に接続された回路として働く。

#### 【0017】

(I d) 2つのMOSトランジスタを直列に接続し、一方のMOSトランジスタのゲート電極には、通常の信号電圧を与え、他方のMOSトランジスタのゲート電極には、そのON抵抗値を可変する制御電圧を与える構成を考える。この回路は、一方のMOSトランジスタに直列接続された抵抗値を調整する回路として働く。

#### 【0018】

ここで、スイッチは、通常、PMOSトランジスタとNMOSトランジスタとを並列接続したCMOSスイッチと、そのゲート信号を作るインバータと、スイッチの状態を保持するためのラッチ回路とで構成され、合計24個程度のMOSトランジスタが必要である。

#### 【0019】

したがって、(I a) (I b) で示した並列接続による回路構成例では、特性調整の精度と回路規模がトレードオフの関係となるので、調整精度を高めるためには回路規模が大きくなるという問題がある。

#### 【0020】

また、(I c) (I d) で示した直列接続による回路構成例では、回路規模が大きくなる問題に加え、入力信号に対して非線形な特性を示す抵抗成分が直列に

介在しているので、実効的な特性調整範囲が制限されるという問題がある。

#### 【0021】

このように、回路構成によるトランジスタの電気的特性変調方式には、調整すべき素子数の数倍から数十倍もの素子数を費やす必要があるという本質的な制約があり、高集積化を推進しLSIデバイスの高性能化を目的とする自己調整機能実装には馴染み難い。

#### 【0022】

(I I) 従来のMOSトランジスタでは、電気特性をLSI製造後に変更することは容易でないが、バックゲート電圧を操作することによって素子自体の電気特性を変調することができる。まず、MOSトランジスタの電気特性について概説する。

#### 【0023】

MOSトランジスタの電気特性は、ソース・ドレイン電流 $I_{ds}$ 、ソース・ドレイン電圧 $V_{ds}$ 、ゲート電圧 $V_{gs}$ 、閾値電圧 $V_t$ 、利得係数 $\beta$ を用いて、

$$V_{ds} > V_{gs} - V_t ; I_{ds} \doteq \beta (V_{gs} - V_t)^2 / 2 \quad \dots (1)$$

$$V_{ds} \leq V_{gs} - V_t ; I_{ds} \doteq \beta ((V_{gs} - V_t) V_{ds} - V_{ds}^2 / 2) \quad \dots (2)$$

と表すことができる。なお、式(1)(2)では、簡単のために短チャネル効果等がない場合を示している。

#### 【0024】

また、利得係数 $\beta$ は、ゲート幅 $W$ 、ゲート長 $L$ 、ゲート絶縁膜厚 $T_{ox}$ 、キャリア移動度 $\mu$ 、ゲート絶縁膜の誘電率 $\epsilon$ を用いて、

$$\beta \doteq \mu \epsilon W / (L \cdot T_{ox}) \quad \dots (3)$$

と表すことができる。

#### 【0025】

式(1)(2)から理解できるように、MOSトランジスタの電気特性は、閾値電圧 $V_t$ に依存している。LSI製造後においては、この閾値電圧 $V_t$ は、バックゲート電圧を操作することで変えることができる。そこで、従来技術によって、LSI製造後にMOSトランジスタの電気特性を変更する方法として、バッ



クゲート電圧を変えて閾値電圧  $V_t$  を変調することが考えられる。

【0026】

しかし、バックゲート電圧は、ソース・ドレイン電圧との逆バイアス関係を維持する必要があることに加え、変調する素子毎にバックゲート電圧を電氣的に分離する必要があるので、高集積化には不向きである。

【0027】

しかも、閾値電圧  $V_t$  の変化は、ゲート電圧  $V_{gs}$  との差でしかソース・ドレイン電流  $I_{ds}$  に影響を与えることができないので、閾値電圧  $V_t$  を変えるだけでは、MOSトランジスタの電気特性をダイナミックに変調することは困難である。

【0028】

つまり、従来技術を用いた閾値電圧  $V_t$  の変更によるトランジスタ電気特性変調方式は、バックゲート分離に伴う集積度の阻害と変調度合いの脆弱さとによって、高集積化を推進しLSIデバイスの高性能化を目的とする自己調整機能実装には馴染み難いものである。

【0029】

以上のように、従来の技術では、自己調整機能を高集積に内蔵することや、電気特性をLSI製造後に変更することは容易でない。そこで、高集積化を阻害せず、かつダイナミックな電氣的特性変調を可能にする新しい素子の開発が望まれている。

【0030】

ここで、式(3)において、一般に、キャリア移動度  $\mu$ 、誘電率  $\epsilon$  およびゲート絶縁膜厚  $T_{ox}$  は一定であるので、利得係数  $\beta$  は、ゲート幅  $W$  とゲート長  $L$  の比で設定することができる。したがって、LSIデバイスの物理設計において設定可能なMOSトランジスタの電気特性は、利得係数  $\beta$  である。

【0031】

この利得係数  $\beta$  を変調することができれば、上記の各式から理解できるように、ゲート電圧  $V_{gs}$  との積に比例してソース・ドレイン電流  $I_{ds}$  に強い影響を与えることができるので、MOSトランジスタの電気特性をダイナミックに変調

することができる。つまり、利得係数 $\beta$ を数倍から数十倍程度、電氣的に変調できれば、それに匹敵する素子特性バラツキの補正や負荷変動に対する自動補償等をLSIデバイスの製造後に実施できることになる。

#### 【0032】

このとき、能動型LSI用の基本素子としては、消費電力の増大を招かずに、高集積化を阻害しないコンパクトな素子サイズでもって利得係数 $\beta$ のアナログ的な変調が行えることが重要である。

#### 【0033】

本発明者は、このような観点から、電界効果型トランジスタの利得係数を電圧変調できるようにした半導体素子を開発し、先に出願した（特許文献1）。ここでは、利得係数可変MOSトランジスタと称することとし、その概要を説明する。

#### 【0034】

この利得係数可変MOSトランジスタの構造上の特徴は、従来のMOSトランジスタにおいて、そのゲート領域（メインゲートと称している）に対して制御ゲートを斜めに追加設置していることである。つまり、この利得係数可変MOSトランジスタは、制御ゲート下のチャネル領域のうち、メインゲートとの重複を外れたソース領域側およびドレイン領域側に三角形領域を形成し、それらの領域がメインゲートを挟んで平行四辺形を形成するようにしたことを特徴としている。

#### 【0035】

利得係数 $\beta$ の変調特性は、素子形状パラメータ（メインゲートのゲート幅 $W$ とゲート長 $L$ 、およびメインゲートと制御ゲートとのなす角度 $\theta$ ）によって設定することができる。

#### 【0036】

この構成によれば、ゲートチャネルに対する電界の向きを制御ゲートの電圧によって制御できる。つまり、制御ゲートの電圧を調整し、制御ゲートチャネルのコンダクタンスをメインゲートのそれに対して変化させることで、実効的なゲート長 $L$ とゲート幅 $W$ をアナログ的に変調することができ、利得係数 $\beta$ をアナログ変調することができる。

**【0037】**

したがって、この利得係数可変MOSトランジスタをLSIに組み込むことで、オンチップ自身で素子の特性をダイナミックに調整することを可能にし、LSIの大規模化に伴う内蔵機能回路間の動作タイミングや、素子の微細化に伴い増大する素子特性バラツキを自動補正する機構を高集積に実現することができる。

**【0038】****【特許文献1】**

特開2002-222944号公報（0020～0032、図1～図5）

**【0039】****【発明が解決しようとする課題】**

しかしながら、本発明者が先に出願した半導体素子では、制御ゲートをメインゲートと重ねて配置するために、メインゲートと電氣的に分離できる第2のゲート層を追加設置する必要があった。その結果、この半導体素子を搭載したLSIの製造工程は、通常のCMOSプロセスに比べて増加するので、製造コストの増加を招くという問題があった。

**【0040】**

この発明は、上記に鑑みてなされたもので、電界効果型トランジスタに制御ゲートを設け利得係数をアナログ的に変調できる半導体素子を実現する場合にその制御ゲートを製造コストの増加を招来することなく配置できる構造の半導体素子を得ることを目的とする。

**【0041】****【課題を解決するための手段】**

上記の目的を達成するために、この発明にかかる半導体素子は、電界効果型トランジスタにおけるゲート領域と同一のゲート層で構成される制御ゲート領域を備える。前記制御ゲート領域は、前記ゲート領域のゲート長方向両端側に、または、前記ゲート領域のゲート長方向片端側に、所定間隔の拡散領域を置いてゲート幅方向に並行して配置される。そして、前記制御ゲート領域は、ゲート幅方向の片端側に、または、ゲート幅のほぼ中央部に対応する位置に、当該制御ゲート

領域が存在しない欠落部が所定の間隔で設けられている。なお、前記拡散領域は、ソース領域およびドレイン領域と同型の不純物拡散領域である。その不純物濃度は、前記ソース領域およびドレイン領域の不純物濃度と同値でもよいが、低い値でもよい。

#### 【0042】

この発明によれば、制御ゲート領域に形成されるチャネルのコンダクタンスは、印加電圧によって制御することができる。これによって、電界効果型トランジスタにおけるゲート領域に形成される実効的なチャネルの幅を変調して利得係数のアナログ的な変調制御が実現できる。このとき、制御ゲート領域はゲート領域と同一のゲート層でもって構成できるので、従来のLSI製造プロセスを何ら変更せずに製造することができ、製造コストの増加を抑制することができる。

#### 【0043】

##### 【発明の実施の形態】

以下に添付図面を参照して、この発明にかかる半導体素子の好適な実施の形態を詳細に説明する。

#### 【0044】

##### 実施の形態1.

図1は、この発明の実施の形態1である半導体素子の構成を示す上面模式図である。図1(a)(b)において、MOSトランジスタは、よく知られているように、ゲート領域1a、1bのチャネル領域12が、ソース領域2とドレイン領域3との間(中央位置)に、ソース領域2とドレイン領域3との間に形成されるチャネル(以下「ゲートチャネル」という)を横断して配置される構造である。なお、チャネル領域12の一端(図中上方)には、コンタクト形成領域が延設され、電極を構成するコンタクト4aが設けられる。また、ソース領域2とドレイン領域3とには、電極を構成するコンタクト4b、4cがそれぞれ設けられる。

#### 【0045】

この実施の形態1である半導体素子は、このようなMOSトランジスタにおいて、図1(a)に示すように、ゲート領域1aを以降メインゲート1aと称すれば、制御ゲート5a、5bがメインゲート1aにおけるチャネル領域12のゲー

ト長方向の両端側に、つまりソース領域2側とドレイン領域3側とに、メインゲート1aと同一のゲート層によって形成されている。なお、ゲート層は、一般にポリシリコンまたは金属層によって形成される。

#### 【0046】

制御ゲート5a, 5bは、メインゲート1aのチャネル領域12に並行して配置される制御ゲート領域6a, 6bと、制御ゲート領域6a, 6bの一端側（図中下方）に延設されるコンタクト形成領域7a, 7bとで構成されている。

#### 【0047】

コンタクト形成領域7a, 7bには、電極を構成するコンタクト4d, 4eが設けられる。図1では、コンタクト形成領域7a, 7bとメインゲート1aのコンタクトの形成領域とは、ソース領域2とドレイン領域3とを結ぶ線分に対し、反対側に形成した例が示されている。

#### 【0048】

制御ゲート領域6a, 6bは、そのゲート長方向の側辺とメインゲート1aのチャネル領域12におけるゲート長方向の側辺との間に、間隔8a, 8bの拡散領域を置いて形成される。

#### 【0049】

そして、制御ゲート領域6a, 6bは、メインゲート1aのチャネル領域12における全ゲート幅、つまりゲートチャネルの全幅に渡って形成されるのではなく、ゲートチャネル幅の片端側、図示例では、制御ゲート領域6a, 6bの他端側（図中上方）に、つまりメインゲート1aのコンタクト4a側に、当該制御ゲートが存在しない欠落部9a, 9bが所定間隔で形成されている。

#### 【0050】

図1(b)では、図1(a)における制御ゲート5a, 5bのコンタクト形成領域7a, 7bを1つにした全体を制御ゲート10とし、1つのコンタクト4fを持つとしている。すなわち、制御ゲート10は、メインゲート1bのチャネル領域12におけるゲート長方向両端側に間隔8a, 8bを置いて並行配置される制御ゲート領域10a, 10bと、それらの一端を接続するコンタクト形成領域10cとで構成されている。制御ゲート領域10a, 10bの他端（図中上方）

には、欠落部 9 a, 9 b が設けられている。なお、以降では、説明の便宜から、図 1 (b) の構成を取り上げることとする。

#### 【0051】

次に、図 1 (b) ~ 図 5 を参照して、以上のように構成される半導体素子によって実現される MOS トランジスタの利得係数を変調する動作原理を説明する。なお、図 2 は、図 1 (b) に示す半導体素子の特性を規定する形状パラメータを説明する図である。図 3 は、図 1 (b) に示す半導体素子を電子回路で表現した等価回路図である。図 4 は、図 1 (b) に示す半導体素子における制御ゲートのチャネルコンダクタンスがメインゲートのチャネルコンダクタンスに対して変化する場合の等価回路図である。図 5 は、図 1 (b) に示す半導体素子にて実現されるゲートチャネル幅変調動作を説明する図である。

#### 【0052】

この構成によれば、制御ゲート 10 に与える電圧値によって制御ゲート領域 10 a, 10 b 下に形成される制御チャネルのコンダクタンス ( $1/\text{抵抗値}$ ) を制御することができる。これによって、メインゲート 1 b のチャネル領域 12 下に形成されるゲートチャネルの実効的なチャネルの幅を変調し利得係数  $\beta$  を電圧変調することができる。

#### 【0053】

そして、実現されるチャネル変調特性は、図 2 に示す形状パラメータによって設定することができる。図 2 において、形状パラメータとしては、メインゲート 1 b のチャネル領域 12 におけるゲート長  $L$  およびゲート幅  $W$  と、制御ゲート 10 における制御ゲート領域 10 a, 10 b のゲート長  $L_c$  と、制御ゲート領域 10 a, 10 b とメインゲート 1 b におけるチャネル領域 12 との間 (拡散領域) の間隔  $S_v$  と、制御ゲート領域 10 a, 10 b が存在しない欠落部の間隔  $S_c$  とを用いる。それらを調整することで利得係数  $\beta$  の変調特性を設計することができる。

#### 【0054】

ここで、動作原理の理解を容易にするため、図 1 (b) に示す半導体素子の等価回路を考える。図 1 (b) に示す半導体素子では、上記のように制御ゲート領

域 10a, 10b は可変抵抗体と考えることができる。また、制御ゲート領域 10a, 10b とメインゲート 1b のチャンネル領域 12 との間は、拡散領域に依存する抵抗成分 (固定抵抗体) が存在する。そして、制御ゲート領域 10a, 10b の他端側は欠落しているので、この欠落部分では、ソース領域 2 およびドレイン領域 3 がチャンネル領域 12 に直接接続される構成となる。したがって、図 1 (b) に示す半導体素子は、例えば図 3 に示すように表現することができる。なお、動作原理の理解では精度は重要ではないので、図 3 では、それぞれの抵抗体が離散的に存在すると表現し回路構成を単純化している。

#### 【0055】

図 3 に示すように、ソース領域 2 およびドレイン領域 3 の一部がチャンネル領域 12 に直接接続される。そして、チャンネル領域 12 とソース領域 2 との間には、制御ゲート領域 10a を表す複数の可変抵抗体  $R_c$  が並列に接続される。同様に、チャンネル領域 12 とドレイン領域 3 との間には、制御ゲート領域 10b を表す複数の可変抵抗体  $R_c$  が並列に接続される。また、チャンネル領域 12 と制御ゲート領域 10a との間には、複数の固定抵抗体  $R_s$  が直列に接続される。同様に、チャンネル領域 12 と制御ゲート領域 10b との間には、複数の固定抵抗体  $R_s$  が直列に接続される。

#### 【0056】

さて、図 4 (a) と図 5 (a) を参照して、メインゲートのチャンネル幅が制御ゲートのチャンネルコンダクタンスによって変調される原理を説明する。なお、図 4 (a) と図 5 (a) は、制御ゲート領域 10a, 10b のチャンネルコンダクタンス  $G_c(\text{control gate})$  がメインゲート 1b のチャンネル領域 12 のチャンネルコンダクタンス  $G_c(\text{gate})$  よりも極めて大きい場合を示す。図 4 (b) と図 5 (b) は、両者が等しい場合を示す。図 4 (c) と図 5 (c) は、制御ゲート領域 10a, 10b のチャンネルコンダクタンス  $G_c(\text{control gate})$  がメインゲート 1b のチャンネル領域 12 のチャンネルコンダクタンス  $G_c(\text{gate})$  よりも極めて小さい場合を示す。

#### 【0057】

制御ゲート領域 10a, 10b のチャンネルコンダクタンス  $G_c(\text{control gate})$  がメインゲート 1b のチャンネル領域 12 のチャンネルコンダクタンス  $G_c(\text{gate})$  よりも

極めて大きい場合 ( $G_c(\text{gate}) \ll G_c(\text{control gate})$ )には、図4 (a) に示すように、可変抵抗体  $R_c$  は無いものと見なせる。したがって、図5 (a) に示すように、メインゲート1のチャンネル領域12における実効的なチャンネル13aの幅は、チャンネル領域12のほぼ全幅に広がるので、比較的広くなる。

#### 【0058】

図4 (a) に示す等価回路では、ソース領域2とドレイン領域3とが直接接続されている部分以外のゲートチャンネルでは、固定抵抗体  $R_s$  の総合抵抗値が図中上から下に向かって大きくなる。したがって、図5 (a) に示す実効的なチャンネル13aでは、制御ゲート領域10a, 10bの他端側（図中上方）では、色を暗くして大きな電流が流れることを示し、制御ゲート領域10a, 10bの一端側（図中下方）に向かって黒色が薄くなるようにして流れる電流が次第に少なくなる様子が示されている。

#### 【0059】

次に、制御ゲート領域10a, 10bのチャンネルコンダクタンス  $G_c(\text{control gate})$  がメインゲート1bのチャンネル領域12のチャンネルコンダクタンス  $G_c(\text{gate})$  よりも極めて小さい場合 ( $G_c(\text{gate}) \gg G_c(\text{control gate})$ )には、可変抵抗体  $R_c$  は、極めて大きな抵抗値を示すので、図4 (c) に示すように、チャンネル領域12とソース領域2との間およびチャンネル領域12とドレイン領域3との間は、それぞれ接続が切れた状態と見なすことができる。

#### 【0060】

この場合には、ソース領域2とドレイン領域3とが直接接続されている領域にのみ電流が流れる。したがって、図5 (c) に示すように、メインゲート1bのチャンネル領域12における実効的なチャンネル13cの幅は、チャンネル領域12のうち制御ゲート領域10a, 10bの他端側（図中上方）に存在する欠落部に対応する領域となり、相当に狭いものとなる。

#### 【0061】

次に、制御ゲート領域10a, 10bのチャンネルコンダクタンス  $G_c(\text{control gate})$  とメインゲート1bのチャンネル領域12のチャンネルコンダクタンス  $G_c(\text{gate})$  とが等しい場合 ( $G_c(\text{gate}) = G_c(\text{control gate})$ )には、図4 (b) に示すように、



可変抵抗体  $R_c$  は、固定抵抗体と見なすことができる。この場合には、図 5 (b) に示すように、メインゲート 1 b のチャンネル領域 1 2 における実効的なチャンネル 1 3 b の幅は、中間的なチャンネル幅となる。

#### 【0062】

ここで、チャンネル幅変調の度合いは、メインゲート 1 b のチャンネル領域 1 2 と制御ゲート 1 0 の制御ゲート領域 1 0 a, 1 0 b との間に挟まれたソースドレイン領域である拡散領域の抵抗成分 ( $R_s$ ) および制御ゲート領域 1 0 a, 1 0 b のチャンネル抵抗成分 ( $R_c$ ) によって左右される。一般には、ソースドレイン領域の抵抗成分 ( $R_s$ ) が高い程、あるいはチャンネル抵抗成分 ( $R_c$ ) の変化が大きい程、メインゲートのチャンネル幅の変調度合いが大きくなる。

#### 【0063】

このように、実施の形態 1 である半導体素子では、制御ゲートに与える電圧値によってゲートチャンネルの実効的なチャンネル幅を調整することができ、つまり、ドレイン電流特性を電氣的にアナログ変調することができるので、MOS トランジスタの利得係数  $\beta$  を変調することができる。

#### 【0064】

なお、利得係数  $\beta$  を変調するために消費される電力は、制御ゲートのリーク電流によるものだけである。これは極めて小さく、実用上問題にならない程度である。

#### 【0065】

実施の形態 2.

図 6 は、この発明の実施の形態 2 である半導体素子の構成を示す上面模式図である。この実施の形態 2 では、図 1 (1) に示した MOS トランジスタにおいて、メインゲートのゲート長方向片端側に、つまりソース領域側とドレイン領域側のいずれか一方側に制御ゲートを設けた半導体素子が示されている。

#### 【0066】

図 6 (1) では、制御ゲート 1 5 がメインゲート 1 a とソース領域 2 との間にメインゲート 1 a と同一のゲート層でもって形成されている。制御ゲート 1 5 は、制御ゲート領域 1 5 a と、制御ゲート領域 1 5 a の一端側に延設されるコンタ

クト形成領域 15 b とで構成されている。

#### 【0067】

制御ゲート領域 15 a は、メインゲート 1 a のチャネル領域 12 との間に間隔 16 を置いて並行に配置され、他端側には所定間隔の欠落部 17 が設けられている。なお、図 6 では、電極を形成するコンタクト 4 g が設けられるコンタクト形成領域 15 b は、メインゲート 1 a のコンタクト形成領域と同じ側に配置した例が示されている。

#### 【0068】

また、図 6 (2) では、制御ゲート 20 がメインゲート 1 a とドレイン領域 3 との間にメインゲート 1 a と同一のゲート層でもって形成されている。制御ゲート 20 は、制御ゲート領域 20 a と、制御ゲート領域 20 a の一端側に延設されるコンタクト形成領域 20 b とで構成されている。

#### 【0069】

制御ゲート領域 20 a は、メインゲート 1 a のチャネル領域 12 との間に間隔 21 を置いて並行に配置され、他端側には所定間隔の欠落部 22 が設けられている。なお、図 6 では、電極を形成するコンタクト 4 h が設けられるコンタクト形成領域 20 b は、ソース領域 2 とドレイン領域 3 とを結ぶ線分に対し、メインゲート 1 a のコンタクト形成領域とは反対側に配置した例が示されている。

#### 【0070】

このようにメインゲート 1 a のゲート長方向の片端側に制御ゲートを設けた半導体素子でも、図 4、図 5 にて説明したように、制御ゲート 15 (または制御ゲート 20) に与える電圧値を調整することによってメインゲート 1 a のチャネル領域 12 における実効的チャネルの幅を変調することができ、MOS トランジスタの利得係数  $\beta$  を変調することができる。

#### 【0071】

実施の形態 3.

図 7 は、この発明の実施の形態 3 である半導体素子の構成を示す上面模式図である。この実施の形態 3 では、図 1 (2) に示した MOS トランジスタにおいて、メインゲートのゲート長方向両端側に、つまりソース領域側とドレイン領域側

とに制御ゲートをそれぞれ設けた半導体素子の他の構成例（その1）が示されている。

#### 【0072】

図7において、制御ゲート25は、メインゲート1bのチャネル領域12におけるゲート長方向において、ソース領域2を取り囲んで配置される制御ゲート領域25aと、ドレイン領域3を取り囲んで配置される制御ゲート領域25bと、それらの一端を接続するコンタクト形成領域25cとで構成されている。

#### 【0073】

制御ゲート領域25a, 25bは、チャネル領域12に間隔26a, 26bを置いて並行する側辺を有する。そして、その側辺は、チャネル領域12のゲート幅のほぼ中央位置、つまりゲートチャネル幅のほぼ中央位置に対応する位置に所定間隔の欠落部27a, 27bが設けられている。

#### 【0074】

コンタクト形成領域25cには、電極を構成するコンタクト4kが設けられている。なお、図7では、制御ゲート25のコンタクト形成領域25cとメインゲート1bのコンタクト形成領域とは、ソース領域2とドレイン領域3とを結ぶ線分に対し、反対側に配置した例が示されている。

#### 【0075】

すなわち、実施の形態1, 2では、制御ゲートにおける制御ゲート領域をゲートチャネル幅の片端側に欠落部を有するように設けたが、この実施の形態3では、制御ゲート領域はゲートチャネル幅のほぼ中央位置において欠落部を有するように形成されている。なお、実施の形態2に対応して、図7に示す制御ゲート領域25a, 25bの一方のみを有する構成でもよい。

#### 【0076】

このような構成の半導体素子でも、図4、図5にて説明したように、制御ゲート25に与える電圧値を調整することによってメインゲート1bのチャネル領域12における実効的なチャネルの幅を変調することができ、MOSトランジスタの利得係数 $\beta$ を変調することができる。

#### 【0077】

加えて、この実施の形態 3 によれば、常に電流の集中する領域がゲートチャネルの中央部分であり、素子分離壁と離れているので、分離壁界面に存在する欠陥や電荷の影響が受け難く、バラツキの少ない電気特性を実現できる効果がある。

#### 【0078】

実施の形態 4.

図 8 は、この発明の実施の形態 4 である半導体素子の構成を示す上面模式図である。この実施の形態 4 では、図 1 (1) に示した MOS トランジスタにおいて、メインゲートのゲート長方向両端側に、つまりソース領域側とドレイン領域側とにそれぞれ制御ゲートを設けた半導体素子の他の構成例 (その 2) が示されている。

#### 【0079】

図 8 に示す半導体素子は、図 6 (実施の形態 2) の (a) に示した制御ゲート 15 と (b) に示した制御ゲート 20 とを備えた構成になっている。すなわち、この実施の形態 4 では、制御ゲートはゲートチャネル幅の両端側に欠落部を有するように形成されている。

#### 【0080】

図 8 において、メインゲート 1a のチャネル領域 12 におけるゲート長方向両端側に制御ゲート 31, 32 が、メインゲート 1a と同一のゲート層でもって形成されている。

#### 【0081】

メインゲート 1a とソース領域 2 との間に配置される制御ゲート 31 は、制御ゲート領域 31a と、制御ゲート領域 31a の一端側 (図中上方) に延設されるコンタクト形成領域 31b とで構成されている。

#### 【0082】

制御ゲート領域 31a は、メインゲート 1a のチャネル領域 12 との間に間隔 33a を置いて並行に配置され、他端側 (図中下方) には所定間隔の欠落部 34a が設けられている。なお、図 8 では、電極を形成するコンタクト 4m が設けられるコンタクト形成領域 31b は、メインゲート 1a のコンタクト形成領域と同じ側に配置した例が示されている。

## 【0083】

また、メインゲート1aとドレイン領域3との間に配置される制御ゲート32は、制御ゲート領域32aと、制御ゲート領域32aの一端側（図中下方）に延設されるコンタクト形成領域32bとで構成されている。

## 【0084】

制御ゲート領域32aは、メインゲート1aのチャネル領域12との間に間隔33bを置いて並行に配置され、他端側（図中上方）には所定間隔の欠落部34bが設けられている。なお、図8では、電極を形成するコンタクト4nが設けられるコンタクト形成領域32bは、ソース領域2とドレイン領域3とを結ぶ線分に対し、メインゲート1aのコンタクト形成領域とは反対側に配置した例が示されている。

## 【0085】

このように制御ゲートをゲートチャネル幅の両端側に欠落部を有するように形成した半導体素子でも、図4、図5にて説明したように、制御ゲート25に与える電圧値を調整することによってメインゲート1bのチャネル領域12における実効的なチャネルの幅を変調することができ、MOSトランジスタの利得係数 $\beta$ を変調することができる。

## 【0086】

加えて、この実施の形態4によれば、メインゲートのチャネル幅変調に加え、チャネル長の変調も生じるので、利得係数 $\beta$ のよりダイナミックな変調を実現できる効果がある。

## 【0087】

実施の形態5.

図9は、この発明の実施の形態5である半導体素子の構成を示す上面模式図である。図10は、図9に示すA-A'断面図である。この実施の形態5では、図1(2)に示したMOSトランジスタにおいて、メインゲートのゲート長方向両端側に、つまりソース領域側とドレイン領域側とに制御ゲートをそれぞれ設けた半導体素子の他の構成例（その3）が示されている。

## 【0088】

図9において、メインゲート1bのチャネル領域12と制御ゲート10の制御ゲート領域10aおよび制御ゲート領域10bとの間の拡散領域36は、ソース領域2およびドレイン領域3と同型の不純物拡散領域であるが、この実施の形態5では、拡散領域36の不純物濃度が、ソース領域2およびドレイン領域3の不純物濃度よりも低い値になっている。

#### 【0089】

図10に示すように、メインゲート1bのチャネル領域12と制御ゲート10の制御ゲート領域10aおよび制御ゲート領域10bとは、基盤（ウエル領域）37の上面に絶縁層38によって分離されて形成される。チャネル領域12と制御ゲート10の制御ゲート領域10aおよび制御ゲート領域10bとの間の拡散領域36は、基盤（ウエル領域）37の上面側に、ソース領域2およびドレイン領域3の形成時に形成される。

#### 【0090】

このとき、各々の領域を分けるフォトマスクを新たに導入して不純物の注入量に差をつける方法によって、拡散領域36の不純物濃度をソース領域2およびドレイン領域3のそれよりも低い値にすることができる。

#### 【0091】

あるいは、新たなマスクを追加するのではなく、チャネル領域12と制御ゲート10の制御ゲート領域10aおよび制御ゲート領域10bとの間隔（図2に示したS<sub>v</sub>値）を最適化することで、LDD（Lightly Doped Drain）構造が利用できるようにし、拡散領域36の不純物濃度をソース領域2およびドレイン領域3のそれよりも低い値にすることができる。

#### 【0092】

このように拡散領域36の不純物濃度をソース領域2およびドレイン領域3のそれよりも低い値にすると、図3に示した固定抵抗体R<sub>s</sub>の値を高くすることができるので、チャネル幅の変調度合いをさらに大きくすることができる効果がある。

#### 【0093】

なお、この実施の形態5では、実施の形態1への適用例を示したが、実施の形

態 2～4 にも同様に適用できることは言うまでもない。

#### 【0094】

以上のように、この発明による半導体素子では、本発明者が先に出願した半導体素子とは異なり、制御ゲートをメインゲートと同一のゲート層でもって構成できるので、従来の L S I 製造プロセスを何ら変更せずに製造することができ、製造コストの増加を抑制することができる。

#### 【0095】

また、この発明による半導体素子では、NMOS トランジスタ、PMOS トランジスタにおいて共に同様の構成で実現することができるので、CMOS 回路にも容易に採用することができる。

#### 【0096】

ここで、この発明による半導体素子は、本発明者が先に出願した半導体素子に比べてコンパクトなサイズで、消費電力の増加を伴わないという特長を有するので、オンチップで素子の電気特性を自動調整し特性バラツキを補正する機構回路をあらゆる L S I デバイスに高密度実装することを可能にする。

#### 【0097】

つまり、将来の大規模 L S I デバイスの高性能化を阻止する素子微細化に伴う特性バラツキや、プロセス変動に伴う素子特性変動などの特性不均一に起因する性能劣化や L S I 物理設計の困難性などを大幅に緩和する効果がある。

#### 【0098】

したがって、この発明による素子構成技術は、ある程度大きな素子特性バラツキを許容する自己最適化 L S I デバイスや自己適応型 L S I デバイスなどの全く新しい設計思想に基づく新タイプ L S I デバイスの実現に貢献することが期待される。

#### 【0099】

##### 【発明の効果】

以上説明したように、この発明によれば、電界効果型トランジスタにおけるゲート領域と同一のゲート層で構成される制御ゲート領域を、前記ゲート領域のゲート長方向両端側に、または、前記ゲート領域のゲート長方向片端側に、所定間

隔の拡散領域を置いてゲート幅方向に並行して配置し、かつゲート幅方向の片端側に、または、ゲート幅のほぼ中央部に対応する位置に、当該制御ゲート領域が存在しない欠落部が所定の間隔で設けられる半導体素子としたので、制御ゲート領域に形成されるチャネルのコンダクタンスは、印加電圧によって制御することができる。これによって、電界効果型トランジスタにおけるゲート領域に形成される実効的なチャネルの幅を変調して利得係数のアナログ的な変調制御が実現できる。

#### 【0100】

このとき、制御ゲート領域はゲート領域と同一のゲート層でもって構成できるので、従来のLSI製造プロセスを何ら変更せずに製造することができ、製造コストの増加を抑制することができる。したがって、この発明による半導体素子の利用が容易に図れるようになる。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1である半導体素子の構成を示す上面模式図である。

【図2】 図1（b）に示す半導体素子の特性を規定する形状パラメータを説明する図である。

【図3】 図1（b）に示す半導体素子を電子回路で表現した等価回路図である。

【図4】 図1（b）に示す半導体素子における制御ゲートのチャネルコンダクタンスがメインゲートのチャネルコンダクタンスに対して変化する場合の等価回路図である。

【図5】 図1（b）に示す半導体素子にて実現されるゲートチャネル幅変調動作を説明する図である。

【図6】 この発明の実施の形態2である半導体素子の構成を示す上面模式図である。

【図7】 この発明の実施の形態3である半導体素子の構成を示す上面模式図である。

【図8】 この発明の実施の形態4である半導体素子の構成を示す上面模式



図である。

【図 9】 この発明の実施の形態 5 である半導体素子の構成を示す上面模式図である。

【図 10】 図 9 に示す A-A' 断面図である。

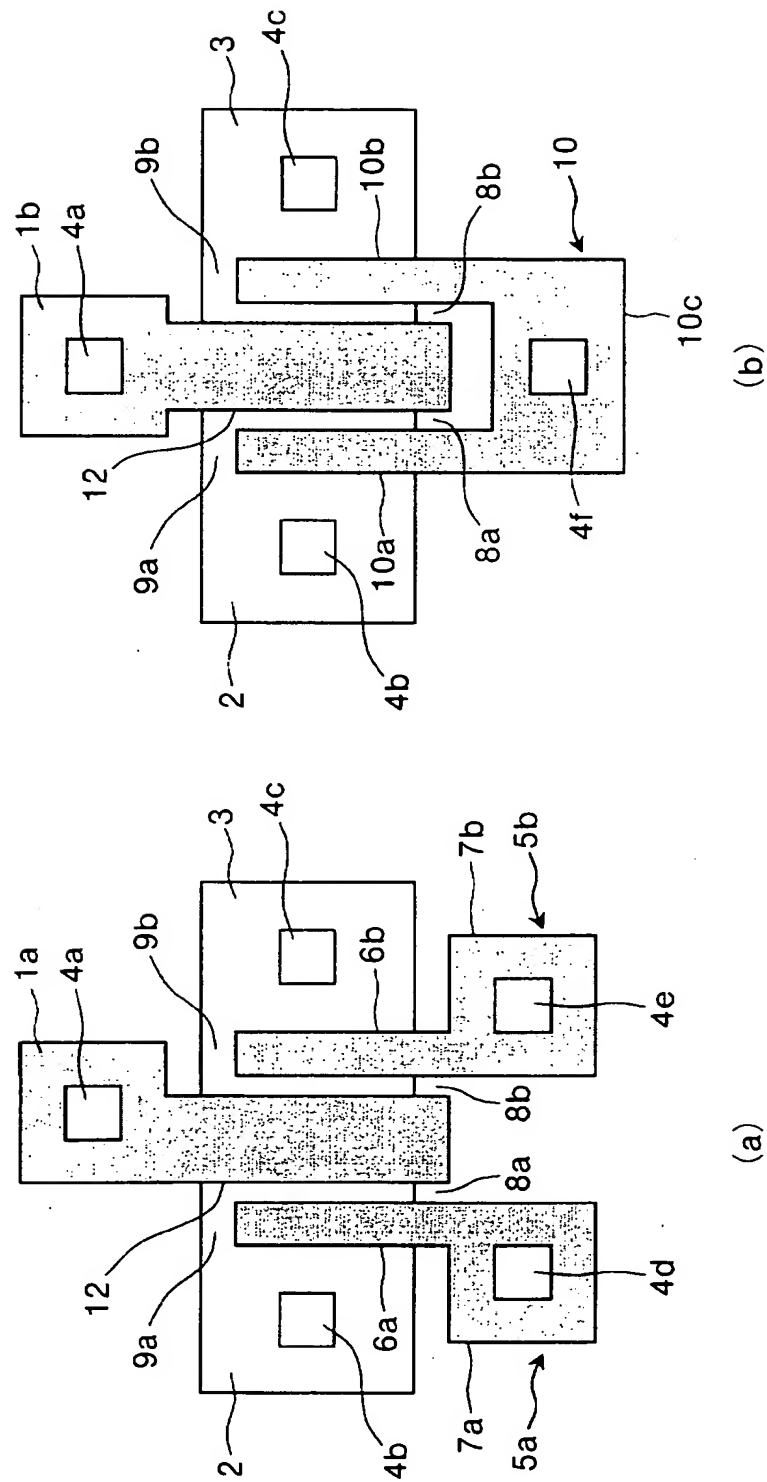
【符号の説明】

1 a, 1 b ゲート領域（メインゲート）、2 ソース領域、3 ドレイン領域、5 a, 5 b, 10, 15, 20, 25, 31, 32 制御ゲート、6 a, 6 b, 10 a, 10 b, 15 a, 20 a, 25 a, 25 b, 31 a, 32 a 制御ゲート領域、8 a, 8 b, 16, 21, 26 a, 26 b, 33 a, 33 b 間隔、9 a, 9 b, 17, 22, 27 a, 27 b, 34 a, 34 b 欠落部、12 チャネル領域、13 a, 13 b, 13 c 実効的チャネル、36 拡散領域、37 基盤（ウエル拡散層）、38 絶縁層、R c 制御ゲート領域に形成されるチャネルの抵抗成分（可変抵抗体）、R s チャネル領域と制御ゲート領域との間に形成される拡散領域の抵抗成分（固定抵抗体）。

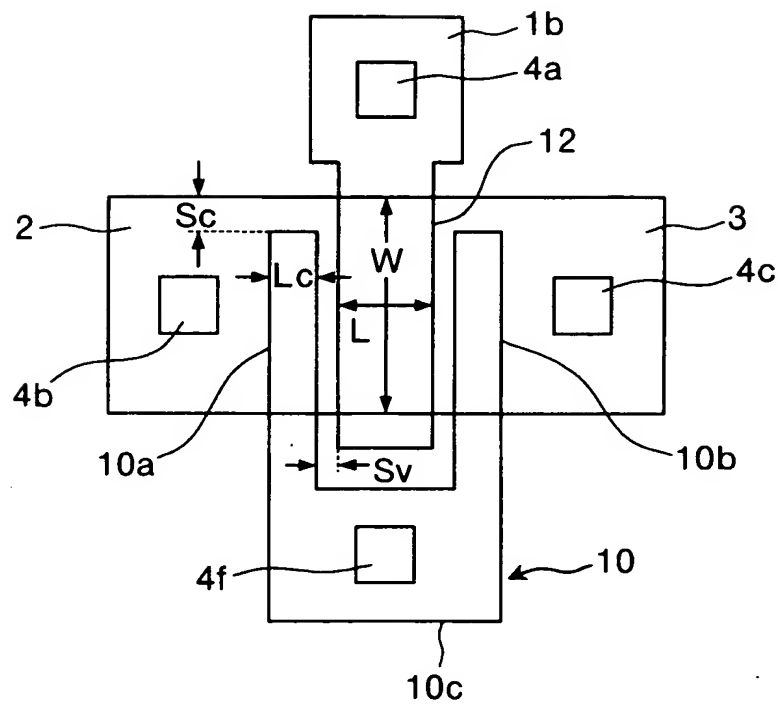
【書類名】

図面

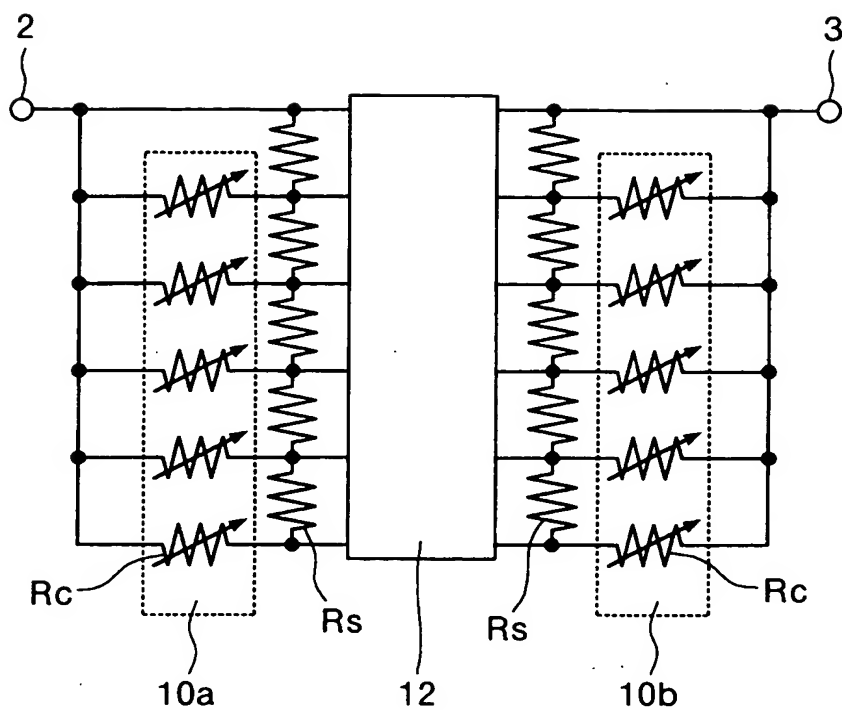
【図 1】



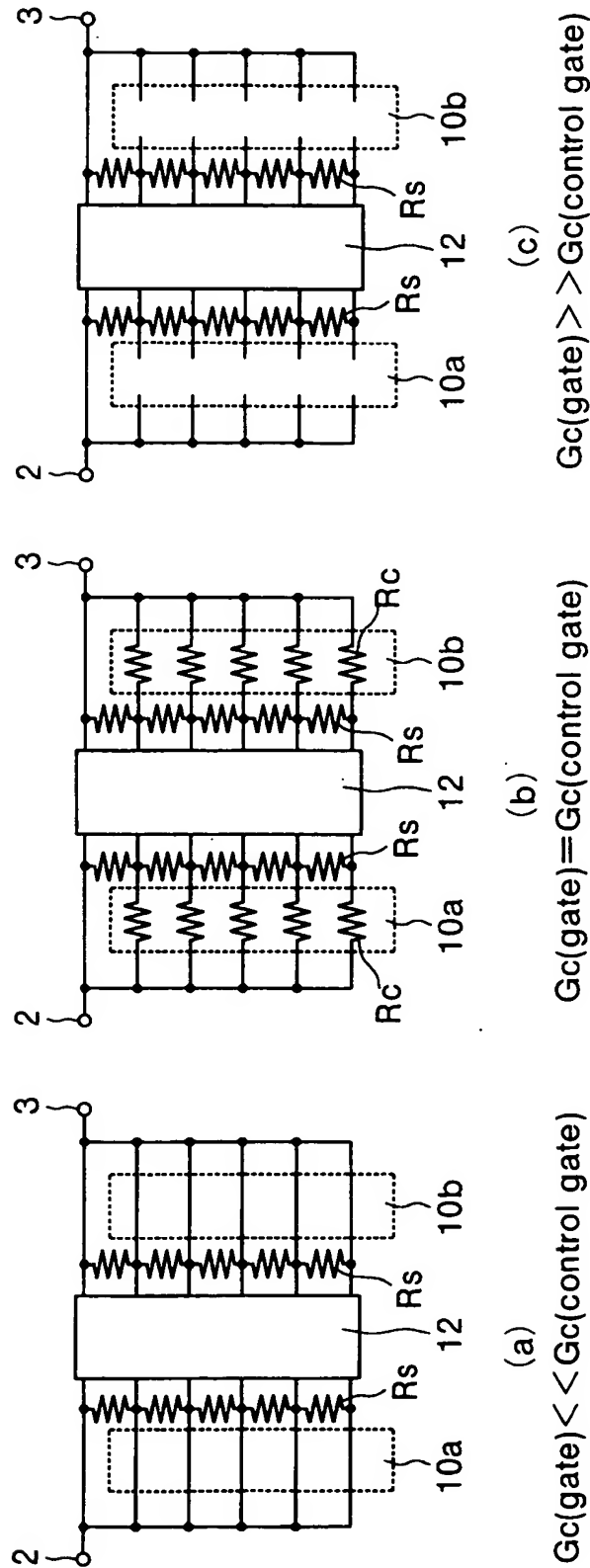
【図 2】



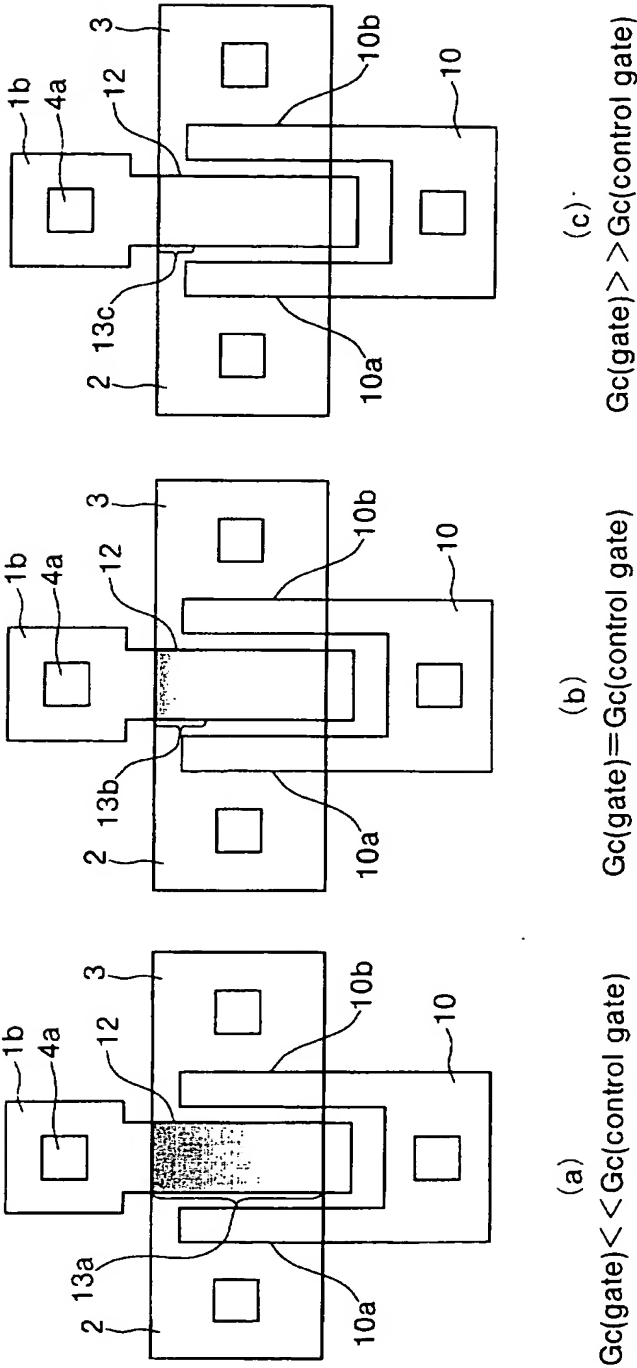
【図 3】



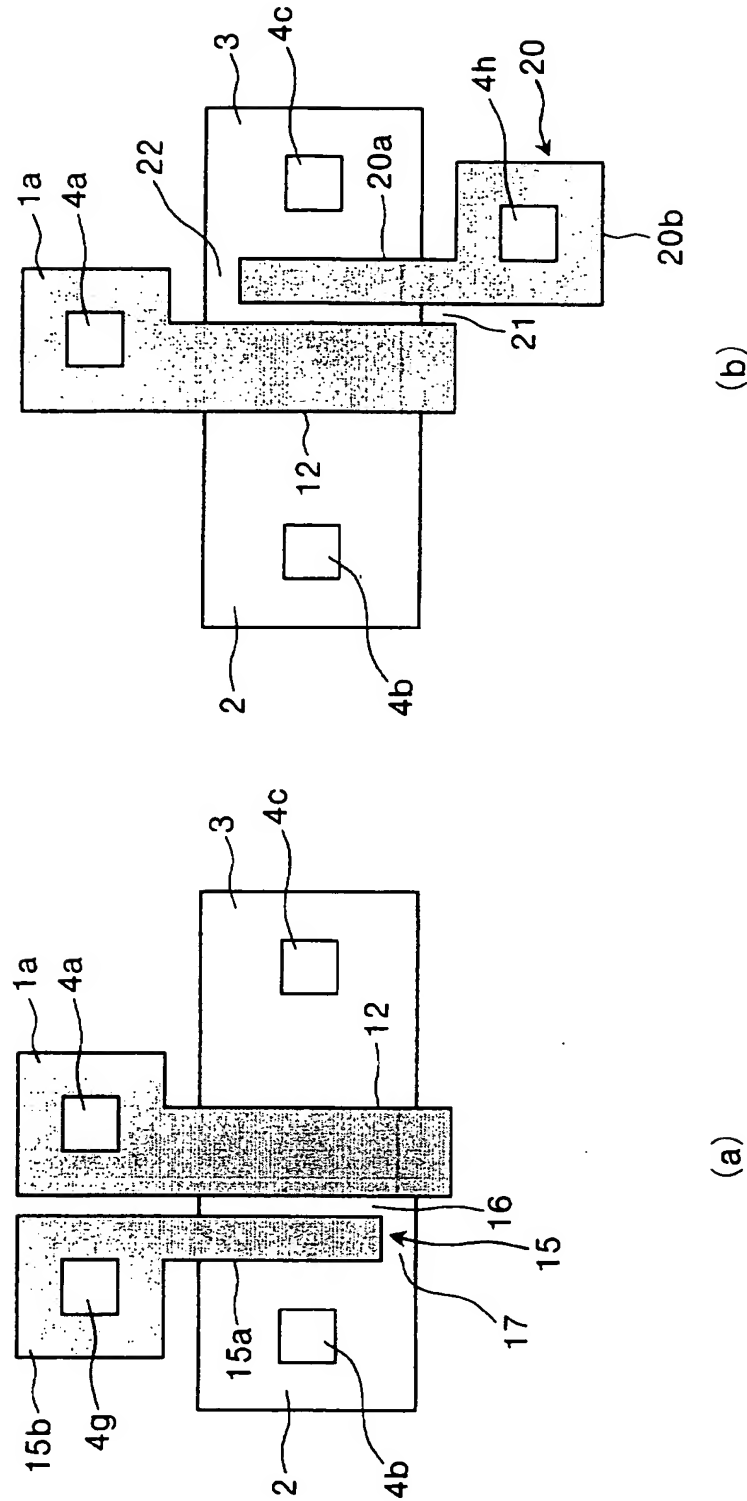
【図 4】



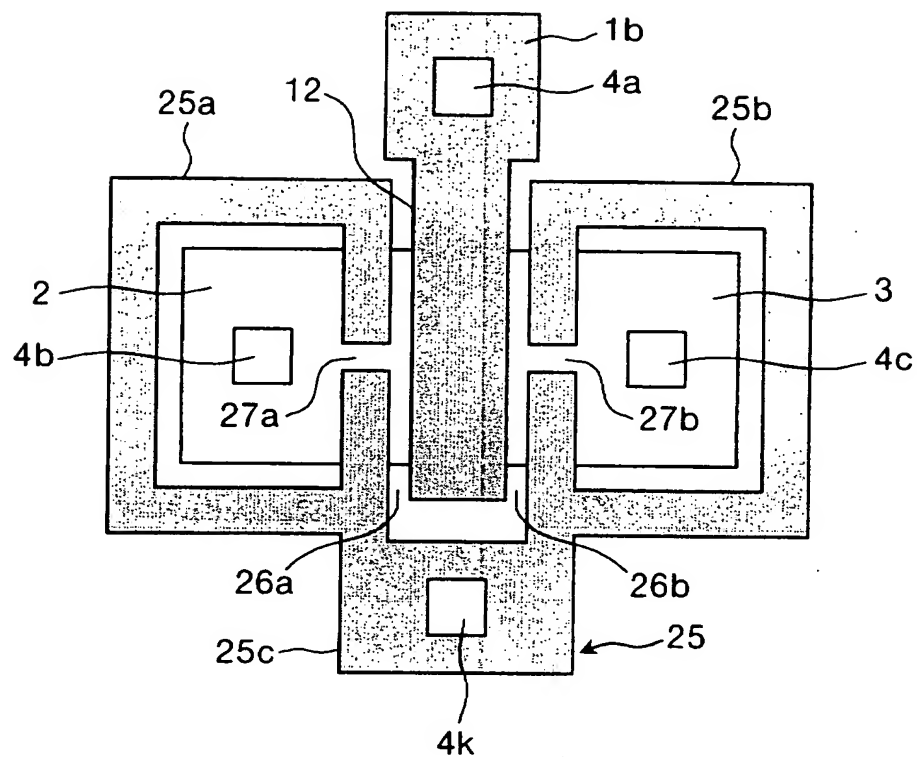
【図 5】



【図 6】

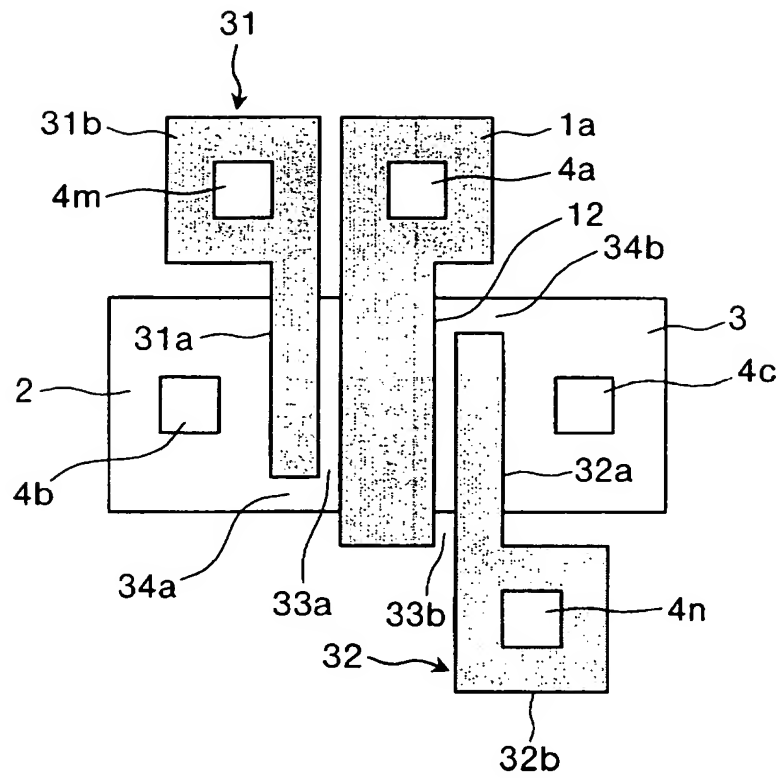


【図 7】

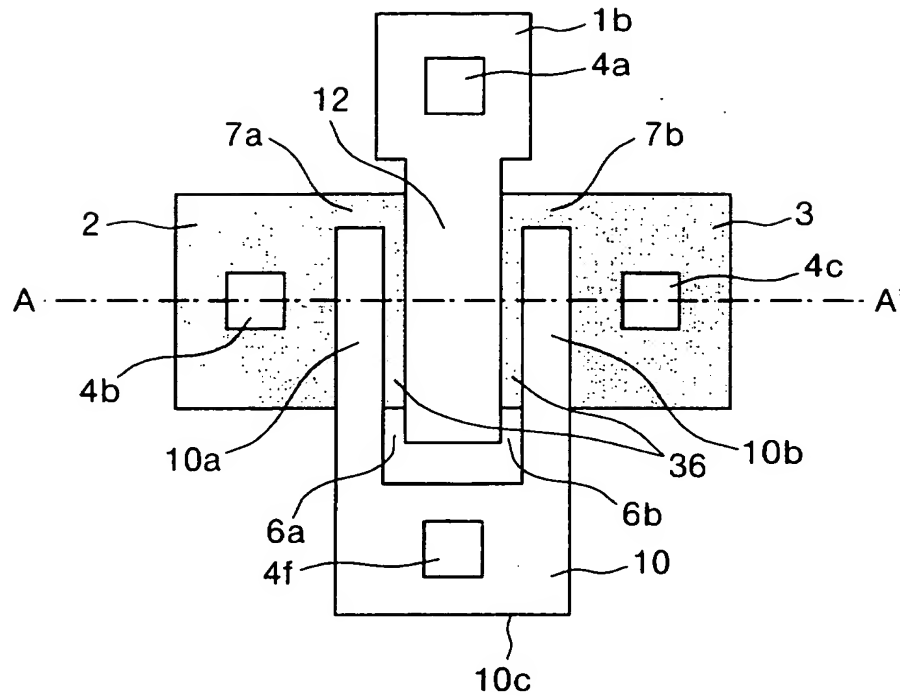




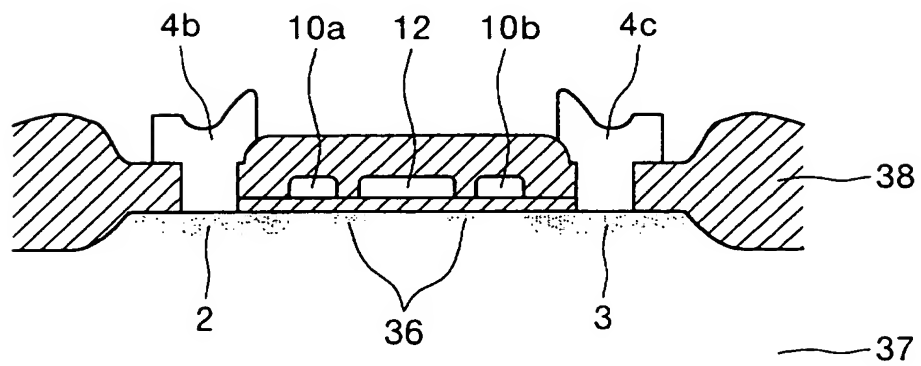
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 電界効果型トランジスタに制御ゲートを設け利得係数をアナログ的に変調できる半導体素子を実現する場合にその制御ゲートを製造コストの増加を招来することなく配置できるようにすること。

【解決手段】 MOSトランジスタにおけるゲート領域1bと同一のゲート層で構成される制御ゲート10の制御ゲート領域10a, 10bは、ゲート領域1bのチャネル領域12におけるゲート長方向両端側に、それぞれ所定間隔8a, 8bの拡散領域を置いてチャネル領域12におけるゲート幅方向に並行して配置される。そして、制御ゲート領域10a, 10bは、それぞれ前記ゲート幅の片端側に、当該制御ゲート領域が存在しない欠落部9a, 9bが所定の間隔で設けられている。

【選択図】 図1

特願 2 0 0 3 - 0 2 0 6 5 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社

特願 2 0 0 3 - 0 2 0 6 5 1

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 0 3 9 8 9 7 ]

1. 変更年月日

2 0 0 3 年 1 月 2 9 日

[変更理由]

新規登録

住 所

福岡県飯塚市大字伊岐須 1 番地の 4

氏 名

有馬 裕